

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-178445

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

H02H 9/04

(21)Application number : 04-331813

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 11.12.1992

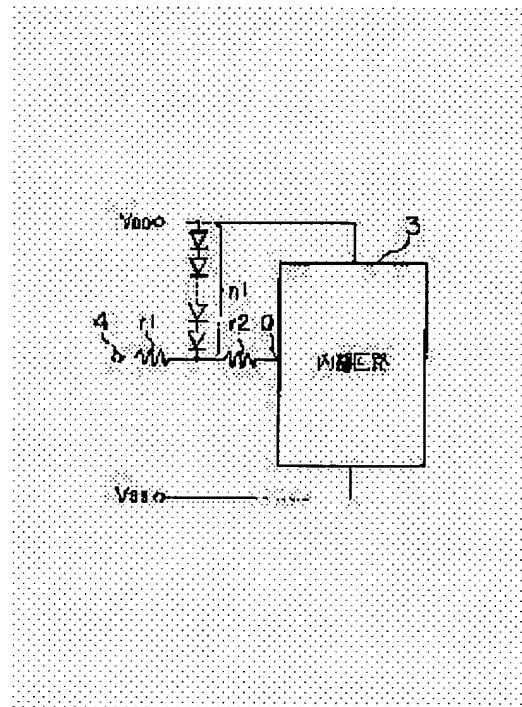
(72)Inventor : HIRAKATA NOBUYUKI

(54) INPUT/OUTPUT PROTECTIVE CIRCUIT FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To protect an inner circuit by deciding the number of diodes so that the bias voltage applied to individual diodes may be lower than that of a forward diode at normality.

CONSTITUTION: A plurality of diodes are connected in forward bias between the i/o terminal 4 of an inner circuit 3 and a power source VDD. And, the number of diodes n1 is determined so that the bias voltage applied to individual diodes may be lower than the voltage of the forward diode at normality when surge is not applied to the I/O terminal 4. Accordingly, since enough forward bias is not applied at normality, all diodes get in substantially off condition, so an unnecessary current flowing to the diodes is sharply reduced. When surge is applied, the diode instantaneously gets in forward bias condition, and bypasses a surge current to the side of a power source VBB. Hereby, the inner circuit 3 can be protected effectively from surge.



LEGAL STATUS

[Date of request for examination] 19.07.1999

[Date of sending the examiner's decision of rejection] 25.07.2001

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-178445

(43)公開日 平成 6年(1994) 6月24日

(51)Int.Cl.⁵

H 0 2 H 9/04

識別記号

庁内整理番号

F I

技術表示箇所

A 9059-5G

審査請求 未請求 請求項の数 4(全 5 頁)

(21)出願番号 特願平4-331813

(22)出願日 平成 4年(1992)12月11日

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目 5 番33号

(72)発明者 平方 宜行

神奈川県横浜市栄区田谷町 1 番地 住友電
気工業株式会社横浜製作所内

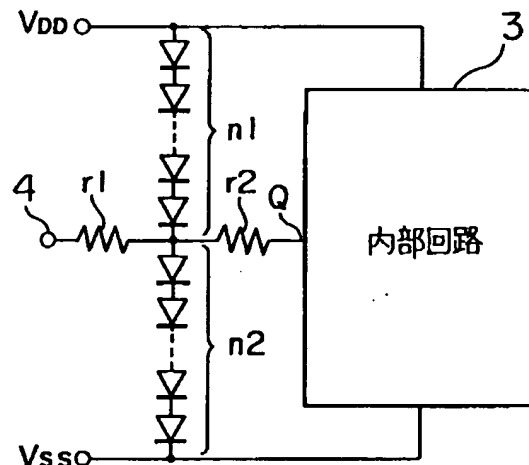
(74)代理人 弁理士 長谷川 芳樹 (外 3 名)

(54)【発明の名称】 半導体装置の入出力保護回路

(57)【要約】

【目的】 耐圧の低い半導体素子を用いても外部からのサージの入力を効果的に阻止することができる半導体装置の入出力保護回路を提供する。

【構成】 内部回路の入出力接点と電源との間に複数個のダイオードが順バイアスに接続されると共に、入出力接点にサージが印加しない正常時には個々のダイオードに掛かるバイス電圧が順方向ダイオード電圧よりも低い電圧となるようにこれらのダイオードの数が決められる構成にした。



【特許請求の範囲】

【請求項1】 内部回路の入力接点又は出力接点へのサージの入力を阻止する半導体装置の入出力保護回路において、

前記内部回路の入力接点又は出力接点の少なくとも一方の接点と電源との間に、複数のダイオードが順バイアスに接続されると共に、これらの接点にサージが印加しない正常時には個々のダイオードに掛かるバイス電圧が順方向ダイオード電圧よりも低い電圧となるようにダイオードの個数が決められた構造を有することを特徴とする半導体装置の入出力保護回路。

【請求項2】 内部回路の入力接点又は出力接点へのサージの入力を阻止する半導体装置の入出力保護回路において、

前記内部回路の入力接点又は出力接点の少なくとも一方の接点と高電圧側電源との間に、複数のダイオードが順バイアスに接続されると共に、これらの接点にサージが印加しない正常時には個々のダイオードに掛かるバイス電圧が順方向ダイオード電圧よりも低い電圧となるようにダイオードの個数が決められた構造を有することを特徴とする半導体装置の入出力保護回路。

【請求項3】 内部回路の入力接点又は出力接点へのサージの入力を阻止する半導体装置の入出力保護回路において、

前記内部回路の入力接点又は出力接点の少なくとも一方の接点と低電圧側電源との間に、複数のダイオードが順バイアスに接続されると共に、これらの接点にサージが印加しない正常時には個々のダイオードに掛かるバイス電圧が順方向ダイオード電圧よりも低い電圧となるようにダイオードの個数が決められた構造を有することを特徴とする半導体装置の入出力保護回路。

【請求項4】 内部回路の入力接点又は出力接点へのサージの入力を阻止する半導体装置の入出力保護回路において、

前記内部回路の入力接点又は出力接点の少なくとも一方の接点と高電圧側電源との間に複数の第1のダイオード群が順バイアスに接続され且つ、該接点と低電圧側電源との間に複数の第2のダイオード群が順バイアスに接続され、該接点にサージが印加しない正常時には、第1、第2のダイオード群の個々のダイオードに掛かるバイス電圧が順方向ダイオード電圧よりも低い電圧となるようにダイオードの個数が決められた構造を有することを特徴とする半導体装置の入出力保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子が適用される電子回路や集積回路装置等の半導体装置の入出力保護回路に関するものである。

【0002】

【従来の技術】例えば、集積回路装置（IC）におい

て、内部回路の構成要素であるトランジスタ等の素子の微細化が可能になったことで、極めて優れた機能や性能を発揮する集積回路装置が開発されるようになり、その進歩にはめざましいものがある。

【0003】ところが、このような微細構造の素子は、静電気等に起因する外部からのサージによって破壊され易く、集積回路装置そのものの信頼性の低下を招来する問題が顕在化するに至った。

【0004】そこで、従来は、図4あるいは図5に示すようなダイオード群を有する入出力保護回路が内部回路の入力接点や出力接点に設けられていた。

【0005】まず、図4の場合、トランジスタ等の素子群で構成される任意の内部回路1が高電圧側電源 V_{DD} と低電圧側電源 V_{SS} ($V_{DD} > V_{SS}$) によって動作するものとする、入出力保護回路は、内部回路1の入力接点又は出力接点（以下、これらを総めて入出力接点と称す）Pと半導体パッケージの入出力リード端子（より厳密に言えば、ボンディングパッド）2の間に抵抗 R_1 、 R_2 が直列接続され、更に、抵抗 R_1 と R_2 の共通接続接点と高電圧側電源 V_{DD} の間にダイオードD1が逆バイアスに接続されると共に、その共通接続接点と低電圧側電源 V_{SS} の間にダイオードD2が逆バイアスに接続された回路構成となっている。そして、高電圧側電源 V_{DD} よりも更にダイオードD1の順方向電圧 V_{f1} 分を超える電圧 ($> V_{DD} + V_{f1}$) のサージが入出力端子2に印加すると、ダイオードD1が順バイアスの状態となってサージ電流を高電圧側電源 V_{DD} にバイパスし、逆に、低電圧側電源 V_{SS} よりも更にダイオードD2の順方向電圧 V_{f2} 分を下まわる電圧 ($< V_{DD} - V_{f1}$) のサージが入出力端子2に印加すると、ダイオードD2が順バイアスの状態となってサージ電流を低電圧側電源 V_{SS} にバイパスすることで、内部回路1へのサージ電流の流入を阻止して保護する。

【0006】この図4の入出力保護回路は簡素であるが、逆耐圧の大きなダイオードD1、D2を使用する必要がある。しかし、GaAs半導体デバイスのようにプロセスによっては、十分な逆耐圧特性の得られるダイオードD1、D2を実現することができないために、サージが存在しない正常状態であっても、ダイオードD1、D2のリーク電流が内部回路1に流れてしまい、内部回路1の異常動作を招来する等の問題が指摘されていた。

【0007】図5に示す入出力保護回路は、このリーク電流の影響を低減するために開発されたものであり、図示するように、抵抗 R_1 と R_2 の共通接続接点と高電圧側電源 V_{DD} の間に複数のダイオードD3を直列に接続すると共に、その共通接続接点と低電圧側電源 V_{SS} の間に複数のダイオードD4を直列に接続する回路構成となっている。即ち、高電圧側電源 V_{DD} と低電圧側電源 V_{SS} の全逆バイアス電圧 ($V_{DD} - V_{SS}$) をダイオードの接続数 n_3 、 n_4 で分割することによって、個々のダイオ

ードに掛かる逆バイアス電圧を低減してリーク電流の発生を低減している。

【0008】

【発明が解決しようとする課題】しかしながら、図5に示した入出力保護回路にあっても問題が存在する。即ち、逆バイアス時に個々のダイオードに掛かる逆バイアス電圧を下げる効果はあるが、直列接続させるダイオードの数を増加させるほど、サージが印加した時にサージ電流のバイパス動作を開始する電圧が高くなるので、内部回路1の入出力接点Pに高電圧のサージが掛かってしまい、十分な保護効果を発揮し得ない問題があった。換言すれば、サージ入力に対する応答感度が低下する問題があった。

【0009】本発明はこのような従来の入出力保護回路の問題点に鑑みて成されたものであり、より効果的に内部回路を保護し得る入出力保護回路を提供することを目的とする。

【0010】

【課題を解決するための手段】このような目的を達成するために本発明の入出力保護回路は、内部回路の入出力接点と電源との間に複数個のダイオードが順バイアスに接続されると共に、入出力接点にサージが印加しない正常時には個々のダイオードに掛かるバイス電圧が順方向ダイオード電圧よりも低い電圧となるようにこれらのダイオードの数が決められた構成にした。

【0011】

【作用】このような構成を有する本発明によれば、複数個のダイオードは電源に対して常に順バイアスに接続されているので、従来のような逆バイアスによるリーク電流の発生が無い。更に、サージが印加しない正常時には、全てのダイオードが十分な順バイアスが掛からないために実質的にオフ状態となるので、ダイオードに流れる不要電流が大幅に低減される。そして、サージが印加されると、これらのダイオードが瞬時に順バイス状態となって、サージ電流を電源側へバイパスして内部回路をサージから保護する。

【0012】

【実施例】以下、本発明の実施例を図面と共に説明する。まず、図1に基づいて第1の実施例の回路構成を説明する。尚、半導体集積回路装置（IC）に適用されるものについて説明する。高電圧側電源 V_{DD} と低電圧側電源 V_{SS} によって動作する任意の内部回路3の入力接点又は出力接点（以下、入出力接点という）Qと、半導体パッケージの入出力端子4との間（より具体的には、半導体チップに形成されるボンディングパッド）に、抵抗 r_1 , r_2 が直列に接続され、更にこれらの抵抗 r_1 , r_2

$$n2 \cdot Vf > V2 - Vss \quad \text{---(2)}$$

【0020】かかる関係式（2）による個数 $n2$ のダイオードが接続されると、サージが掛からない正常時には、個々のダイオードに掛かる順方向電圧が順方向ダイ

* 2の共通接続接点と高電圧側電源 V_{DD} との間に $n1$ 個のダイオードが順バイスとなるようにして直列に接続されている。

【0013】ここで、正常な動作状態において入出力端子4に入力又は出力される信号の最低電位を $V1$ 、個々のダイオードの順方向ダイオード電圧を Vf であるとすると、ダイオードの数 $n1$ は、次の関係式（1）に基づいて決定されている。

【0014】

【数1】

$$n1 \cdot Vf > V_{DD} - V1 \quad \text{---(1)}$$

【0015】かかる関係式（1）による個数 $n1$ のダイオードが接続されると、サージが掛からない正常時には、個々のダイオードに掛かる順方向電圧が順方向ダイオード電圧 Vf よりも小さいために、全てのダイオードに流れる順方向電流 I_{dd} は十分小さくなり、かかるダイオード群と抵抗 r_1 , r_2 から成る入出力保護回路が内部回路3に不要な電流を流すことがない。

【0016】一方、入力又は出力される最低電圧 $V1$ よりも低い電圧のサージが入出力端子4に印加した場合には、 $n1$ 個のダイオード群が迅速にオン状態となるので、サージ電流は高電圧側電源 V_{DD} へバイパスされてしまい、内部回路3に流れ込むのを未然に防止する。そして、一般的に、個々のダイオードの順方向電圧 Vf は製造プロセスによる変動の影響を受け難く均一となるので、サージ電圧の検知レベルを精密に設定することができ、所定電圧よりも低い電圧のサージに対する確実な入出力保護回路が実現される。

【0017】次に、第2の実施例を図2に基づいて説明する。尚、半導体集積回路装置（IC）に適用されるものについて説明する。高電圧側電源 V_{DD} と低電圧側電源 V_{SS} によって動作する任意の内部回路3の入出力接点Qと、半導体パッケージの入出力端子4との間（より具体的には、半導体チップに形成されるボンディングパッド）に、抵抗 r_1 , r_2 が直列に接続され、更にこれらの抵抗 r_1 , r_2 の共通接続接点と低電圧側電源 V_{SS} との間に $n2$ 個のダイオードが順バイスとなるようにして直列に接続されている。

【0018】ここで、正常な動作状態において入出力端子4に入力又は出力される信号の最大電圧を $V2$ 、各々のダイオードの順方向ダイオード電圧を Vf であるとすると、ダイオードの数 $n2$ は、次の関係式（2）に基づいて決定されている。

【0019】

【数2】

* オード電圧 Vf よりも小さいために、全てのダイオードに流れる順方向電流 I_{dd} は十分小さくなり、かかるダイオード群と抵抗 r_1 , r_2 から成る入出力保護回路が内

部回路3に不要な電流を流すことがない。

【0021】一方、入出力される信号の最大電圧V2よりも高い電圧のサージが入出力端子4に印加した場合には、n2個のダイオード群が迅速にオン状態となるので、サージ電流は低電圧側電源Vssへバイパスされてしまい、内部回路3に流れ込むのを未然に防止する。そして、一般的に、個々のダイオードの順方向電圧Vfは製造プロセスによる変動の影響を受け難く均一となるので、サージ電圧の検知レベルを精密に設定することができ、高電圧のサージに対する確実な入出力保護回路が実現される。

【0022】次に、第3の実施例を図3に基づいて説明する。尚、半導体集積回路装置(IC)に適用されるものについて説明する。高電圧側電源VDDと低電圧側電源Vssによって動作する任意の内部回路3の入出力接点Qと、半導体パッケージの入出力端子4との間(より具体的には、半導体チップに形成されるボンディングパッド)に、抵抗r1、r2が直列に接続され、更にこれらの抵抗r1、r2の共通接続接点と高電圧側電源VDDとの間にn1個のダイオードが順バイスとなるようにして直列に接続されると共に、上記共通接続接点と低電圧側電源Vssとの間にn2個のダイオードが順バイスとなるようにして直列に接続されている。

【0023】ここで、正常な動作状態において入出力端子4に入力又は出力される信号の最低電位がV1、最大電位がV2、各々のダイオードの順方向ダイオード電圧がVfであるとする、ダイオードの数n1とn2は、前記式(1)(2)によって決定されている。

【0024】したがって、サージが掛からない正常時には、個々のダイオードに掛かる順方向電圧が順方向ダイ

$$n1 \cdot Vf > VDD - Vss \quad \text{---(3)}$$

【0030】

※ ※【数4】

$$n2 \cdot Vf > VDD - Vss \quad \text{---(4)}$$

【0031】そして、これらの式(3)(4)に基づけば、何等かの過誤により入出力端子4が電源VDD若しくはVssに短絡したような場合であっても、入出力保護回路中のダイオードが過電流によって焼損等する事故を未然に防止することができるという機能をも発揮する。

【0032】更に、逆耐圧の低いダイオードを適用しても入出力保護回路を実現することができることから、例えばGaAs半導体プロセスを適用した半導体集積回路装置などに適用すると、極めて優れた効果を発揮する。

【0033】

【発明の効果】以上説明したように本発明の入出力保護回路は、内部回路の入出力接点と電源との間に複数個のダイオードが順バイスに接続されると共に、入出力接点にサージが印加しない正常時には個々のダイオードに掛かるバイス電圧が順方向ダイオード電圧よりも低い電圧となるようにこれらのダイオードの数が決められた構成を具備するので、従来のような逆バイスによるリー

* オード電圧Vfよりも小さいために、全てのダイオードに流れる順方向電流は十分小さくなり、かかるダイオード群と抵抗r1、r2から成る入出力保護回路が内部回路3に不要な電流を流すことがない。

【0025】一方、入力又は出力される信号の最低電圧V1よりも低い電圧のサージが入出力端子4に印加した場合には、上側のn1個のダイオード群が迅速にオン状態となるので、サージ電流は高電圧側電源VDDへバイパスされてしまい、内部回路3に流れ込むのを未然に防止する。更に、入出力される信号の最大電圧V2よりも高い電圧のサージが入出力端子4に印加した場合には、下側のn2個のダイオード群が迅速にオン状態となるので、サージ電流は低電圧側電源Vssへバイパスされてしまい、内部回路3に流れ込むのを未然に防止する。

【0026】このように、図3に示す入出力保護回路は、電圧の高いサージと電圧の低いサージの両方を阻止することができる。

【0027】尚、第1～第3の実施例では、サージ電流の流入を更に効果的に阻止するための限流素子として抵抗r1、r2が設けられているが、仕様等によっては、これらの抵抗r1、r2を選択的に若しくは全て省略することができる。

【0028】又、前記式(1)(2)は、入力又は出力される信号の最大振幅電圧V1、V2に基づいてダイオードの数n1、n2を決定する場合を示すが、次式(3)(4)に基づいてこれらの数n1、n2を決定するようにしてもよい。

【0029】

【数3】

★ク電流の発生が無い。更に、サージが印加しない正常時には、全てのダイオードが十分な順バイスが掛からないために実質的にオフ状態となるので、ダイオードに流れる不要電流が大幅に低減される。そして、サージが印加されると、これらのダイオードが瞬時に順バイス状態となって、サージ電流を電源側へバイパスして内部回路をサージから保護する。

【0034】この結果、逆耐圧の低いダイオードを適用しても入出力保護回路を実現することができることから、GaAs半導体プロセス等の耐圧の低い半導体装置の入出力保護回路として極めて優れた効果を発揮する。

【図面の簡単な説明】

【図1】本発明による半導体装置の入出力保護回路の一実施例を示す回路図である。

【図2】本発明による半導体装置の入出力保護回路の他の実施例を示す回路図である。

【図3】本発明による半導体装置の入出力保護回路の更

に他の実施例を示す回路図である。

す回路図である。

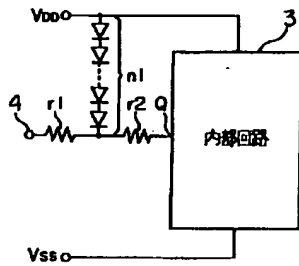
【図4】従来の半導体装置の入出力保護回路例を示す回路図である。

【符号の説明】

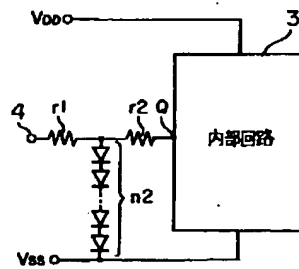
3…内部回路、4…入出力端子、 $r1$ 、 $r2$ …抵抗。

【図5】従来の半導体装置の他の入出力保護回路例を示

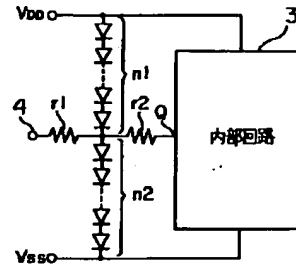
【図1】



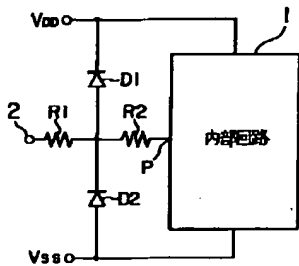
【図2】



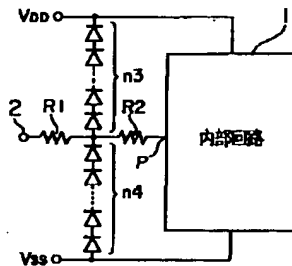
【図3】



【図4】



【図5】



* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the I/O protection network of semiconductor devices, such as an electronic circuitry and an integrated circuit device, where a semiconductor device is applied.

[0002]

[Description of the Prior Art] For example, in an integrated circuit device (IC), by detailed-ization of components, such as a transistor which is the component of an internal circuitry, having been attained, the integrated circuit device which demonstrates the extremely excellent function and the engine performance comes to be developed, and there is a remarkable thing in the advance.

[0003] However, the surge from the outside resulting from static electricity etc. is easy to be destroyed, and the problem which invites the fall of the dependability of the integrated circuit device itself came to actualize the component of such the fine structure.

[0004] Then, the I/O protection network which has a diode group as shown in drawing 4 or drawing 5 was conventionally established in the input contact and output contact of an internal circuitry.

[0005] First, if the internal circuitry 1 of the arbitration which consists of the elements, such as a transistor, shall operate according to the high-voltage side power source VDD and the low-battery side power source VSS ($VDD > VSS$) in the case of drawing 4 An I/O protection network is the I/O lead terminal (if it says strictly) of the input contact of an internal circuitry 1 or an output contact (these are hereafter called an I/O contact collectively) P, and a semiconductor package. While series connection of the resistance R1 and R2 is carried out between the bonding pads 2 and diode D1 is further connected to a reverse bias between the common connection contact of resistance R1 and R2, and the high-voltage side power source VDD It is circuitry by which diode D2 was connected to the reverse bias between the common connection contact and the low-battery side power source VSS. And if the surge of the electrical potential difference ($>VDD + V_{f1}$) which exceeds forward voltage V_{f1} of diode D1 further rather than the high-voltage side power source VDD is impressed by the input/output terminal 2 Diode D1 will be in the condition of forward bias, and surge current will be bypassed to the high-voltage side power source VDD. On the contrary, if the surge

of the electrical potential difference ($<VDD - V_{f1}$) around which it turns the bottom impresses forward voltage V_{f2} of diode D2 to an input/output terminal 2 further rather than the low-battery side power source VSS. By being in the condition of forward bias and bypassing surge current to the low-battery side power source VSS, diode D2 prevents and protects the inflow of the surge current to an internal circuitry 1.

[0006] Although the I/O protection network of this drawing 4 is simple, it is necessary to use the big diodes D1 and D2 of reverse pressure-proofing. However, since the diodes D1 and D2 with which sufficient reverse proof-pressure property is acquired depending on a process like a GaAs semiconductor device were unrealizable, even if it was the all seems well in which a surge does not exist, the leakage current of diodes D1 and D2 flowed to the internal circuitry 1, and the problem of inviting abnormality actuation of an internal circuitry 1 was pointed out.

[0007] The I/O protection network shown in drawing 5 is developed in order to reduce the effect of this leakage current, and it serves as circuitry which connects two or more diodes of $n4$ to a serial between that common connection contact and the low-battery side power source VSS while it connects two or more diodes of $n3$ to a serial between the common connection contact of resistance R1 and R2, and the high-voltage side power source VDD so that it may illustrate. That is, by dividing the total reverse bias electrical potential difference ($VDD - VSS$) of the high-voltage side power source VDD and the low-battery side power source VSS by 3 and $n4$ several n connection of diode, the reverse bias electrical potential difference concerning each diode is reduced, and generating of leakage current is reduced.

[0008]

[Problem(s) to be Solved by the Invention] However, even if it is in the I/O protection network shown in drawing 5, a problem exists. That is, although it was effective in lowering the reverse bias electrical potential difference concerning each diode at the time of a reverse bias, since the electrical potential difference which starts bypass actuation of surge current became high when a surge impressed so that the number of the diodes which carry out a series connection was made to increase, the surge of the high voltage started the I/O contact P of an internal circuitry 1, and there was a problem which cannot demonstrate sufficient protective effect. When putting in another way, there was a problem to which the response sensibility to a surge input falls.

[0009] This invention is accomplished in view of the trouble of such a conventional I/O protection network, and it aims at offering the I/O protection network which can protect an internal circuitry more effectively.

[0010]

[Means for Solving the Problem] In order to attain such a purpose, it was made the configuration with which the number of such diodes was decided that the I/O protection network of this invention serves as an electrical potential difference with the vice-electrical potential difference lower than forward direction diode voltage built over each diode always [forward] a surge does not impress to an I/O contact while two or more diodes are connected to forward bias between the I/O

contact of an internal circuitry, and a power source.

[0011]

[Function] According to this invention which has such a configuration, since two or more diodes are always connected to forward bias to the power source, there is no generating of the leakage current by reverse bias like before. Furthermore, since it will be in an OFF state substantially in order that forward bias with all sufficient diodes may not start always [forward] which a surge does not impress, the unnecessary current which flows to diode is reduced sharply. And if a surge is impressed, such diodes will be in an order vice condition in an instant, will bypass surge current to a power-source side, and will protect an internal circuitry from a surge.

[0012]

[Example] Hereafter, the example of this invention is explained with a drawing.

First, the circuitry of the 1st example is explained based on drawing 1 . In addition, what is applied to semiconductor integrated circuit equipment (IC) is explained. The input contact or output contact Q (henceforth an I/O contact) of the internal circuitry 3 of arbitration which operates according to the high-voltage side power source VDD and the low-battery side power source VSS Between the input/output terminals 4 of a semiconductor package Resistance r1 and r2 is connected to (the bonding pad more specifically formed in a semiconductor chip) at a serial, and further, between the common connection contact of these resistance r1 and r2, and the high-voltage side power source VDD, as n1 piece diode serves as an order vice, it is connected to the serial.

[0013] the minimum potential of the signal which sets to normal operating state here, and is inputted or outputted to an input/output terminal 4 -- V1 and the forward direction diode voltage of each diode -- Vf it is -- supposing -- diode -- 1 [several n] is determined based on the following relational expression (1).

[0014]

[Equation 1]

$$n1 \cdot Vf > VDD - V1 \quad \text{---(1)}$$

[0015] If the diode of the number n1 by this relational expression (1) is connected, the forward voltage built over each diode always [forward] does not require a surge is the forward direction diode voltage Vf. Since it is small, the forward current Idd which flows to all diodes becomes sufficiently small, and the I/O protection network which consists of these diode group and resistance r1 and r2 does not pass an unnecessary current to an internal circuitry 3.

[0016] Since an n1 piece diode group will be in an ON state quickly on the other hand when the surge of an electrical potential difference lower than the minimum electrical potential difference V1 inputted or outputted is impressed by the input/output terminal 4, it prevents beforehand that surge current will be bypassed to the high-voltage side power source VDD, and flows into an internal circuitry 3. and -- general -- forward voltage Vf of each diode the effect of fluctuation by the manufacture process -- winning popularity -- hard -- ** -- since it becomes uniform, the detection level of surge voltage can be set as a precision, and the positive I/O protection network to the surge of an electrical potential difference lower than a predetermined electrical potential difference is realized.

[0017] Next, the 2nd example is explained based on drawing 2 . In addition, what is applied to semiconductor integrated circuit equipment (IC) is explained. The I/O contact Q of the internal circuitry 3 of the arbitration which operates according to the high-voltage side power source VDD and the low-battery side power source VSS Between the input/output terminals 4 of a semiconductor package Resistance r1 and r2 is connected to (the bonding pad more specifically formed in a semiconductor chip) at a serial, and further, between the common connection contact of these resistance r1 and r2, and the low-battery side power source VSS, as n2 piece diode serves as an order vice, it is connected to the serial.

[0018] the maximum electrical potential difference of the signal which sets to normal operating state here, and is inputted or outputted to an input/output terminal 4 -- V2 and the forward direction diode voltage of each diode -- Vf it is -- supposing -- diode -- 2 [several n] is determined based on the following relational expression (2).

[0019]

[Equation 2]

$$n \cdot V_f > V_2 - V_{ss} \quad \text{---(2)}$$

[0020] If the diode of the number n2 by this relational expression (2) is connected, the forward voltage built over each diode always [forward] does not require a surge is the forward direction diode voltage Vf. Since it is small, the forward current Idd which flows to all diodes becomes sufficiently small, and the I/O protection network which consists of these diode group and resistance r1 and r2 does not pass an unnecessary current to an internal circuitry 3.

[0021] Since an n2 piece diode group will be in an ON state quickly on the other hand when the surge of an electrical potential difference higher than the maximum electrical potential difference V2 of the signal outputted and inputted is impressed by the input/output terminal 4, it prevents beforehand that surge current will be bypassed to the low-battery side power source VSS, and flows into an internal circuitry 3. and -- general -- forward voltage Vf of each diode the effect of fluctuation by the manufacture process -- winning popularity -- hard -- ** -- since it becomes uniform, the detection level of surge voltage can be set as a precision, and the positive I/O protection network to the surge of the high voltage is realized.

[0022] Next, the 3rd example is explained based on drawing 3 . In addition, what is applied to semiconductor integrated circuit equipment (IC) is explained. The I/O contact Q of the internal circuitry 3 of the arbitration which operates according to the high-voltage side power source VDD and the low-battery side power source VSS Between the input/output terminals 4 of a semiconductor package To (the bonding pad more specifically formed in a semiconductor chip) As n1 piece diode serves as an order vice, while resistance r1 and r2 is connected to a serial, and it is further connected to a serial between the common connection contact of these resistance r1 and r2, and the high-voltage side power source VDD Between the above-mentioned common connection contact and the low-battery side power source VSS, as n2 piece diode serves as an order vice, it is connected to the serial.

[0023] the minimum potential of the signal which sets to normal operating state here, and is inputted or outputted to an input/output terminal 4 -- V1 and the maximum potential -- V2 and the forward direction diode voltage of each diode -- Vf it is -- supposing -- diode -- 1 and n2 are determined by said formula (1) and (2). [several n]

[0024] Therefore, the forward voltage built over each diode always [forward] does not require a surge is the forward direction diode voltage Vf. Since it is small, the forward current which flows to all diodes becomes sufficiently small, and the I/O protection network which consists of these diode group and resistance r1 and r2 does not pass an unnecessary current to an internal circuitry 3.

[0025] Since an n1 piece upper diode group will be in an ON state quickly on the other hand when the surge of an electrical potential difference lower than the minimum electrical potential difference V1 of the signal inputted or outputted is impressed by the input/output terminal 4, it prevents beforehand that surge current will be bypassed to the high-voltage side power source VDD, and flows into an internal circuitry 3. Furthermore, since an n2 piece lower diode group will be in an ON state quickly when the surge of an electrical potential difference higher than the maximum electrical potential difference V2 of the signal outputted and inputted is impressed by the input/output terminal 4, it prevents beforehand that surge current will be bypassed to the low-battery side power source VSS, and flows into an internal circuitry 3.

[0026] Thus, the I/O protection network shown in drawing 3 can prevent both a surge with a high electrical potential difference, and a surge with a low electrical potential difference.

[0027] in addition, although resistance r1 and r2 is formed in the 1st - the 3rd example as a ** style component for preventing the inflow of surge current still more effectively, these resistance r1 and r2 is altogether omissible alternatively with a specification etc.

[0028] moreover -- although said formula (1) and (2) show the case of diode where 1 and n2 are determined, based on the maximum amplitude electrical potential differences V1 and V2 of the signal inputted or outputted -- a degree type (3) and (4) -- being based -- these -- you may make it determine 1 and n2 [several n] [several n]

[0029]

[Equation 3]

$$n1 \cdot Vf > V_{DD} - V_{SS} \quad \text{---(3)}$$

[0030]

[Equation 4]

$$n2 \cdot Vf > V_{DD} - V_{SS} \quad \text{---(4)}$$

[0031] And if based on these formulas (3) and (4), even if it is a case as the input/output terminal 4 connected with a power source VDD or VSS too hastily by a certain mistake, the function in which the diode in an I/O protection network can prevent beforehand the accident which carries out burning etc. according to an overcurrent will also be demonstrated.

[0032] Furthermore, if it applies to the semiconductor integrated circuit equipment

which applied the GaAs semi-conductor process, for example from an I/O protection network being realizable even if it applies the low diode of reverse pressure-proofing, the extremely excellent effectiveness will be demonstrated. [0033]

[Effect of the Invention] As explained above, since the I/O protection network of this invention always [forward] which a surge does not impress to an I/O contact possesses the configuration with which the number of such diodes was decided that the vice-electrical potential difference concerning each diode turns into an electrical potential difference lower than forward direction diode voltage while two or more diodes are connected to forward bias between the I/O contact of an internal circuitry, and a power source, it does not have generating of the leakage current by reverse bias like before. Furthermore, since it will be in an OFF state substantially in order that forward bias with all sufficient diodes may not start always [forward] which a surge does not impress, the unnecessary current which flows to diode is reduced sharply. And if a surge is impressed, such diodes will be in an order vice condition in an instant, will bypass surge current to a power-source side, and will protect an internal circuitry from a surge.

[0034] Consequently, since an I/O protection network is realizable even if it applies the low diode of reverse pressure-proofing, the effectiveness which was extremely excellent as an I/O protection network of the low semiconductor device of pressure-proofing, such as a GaAs semi-conductor process, is demonstrated.

[Translation done.]